

TD microélectronique EII2

1. Choix de réalisation.

On souhaite réaliser un and à 4 entrées en CMOS statique complémentaire avec des transistors PMOS 2 fois plus gros que les transistors NMOS ($R_p=R_n$).

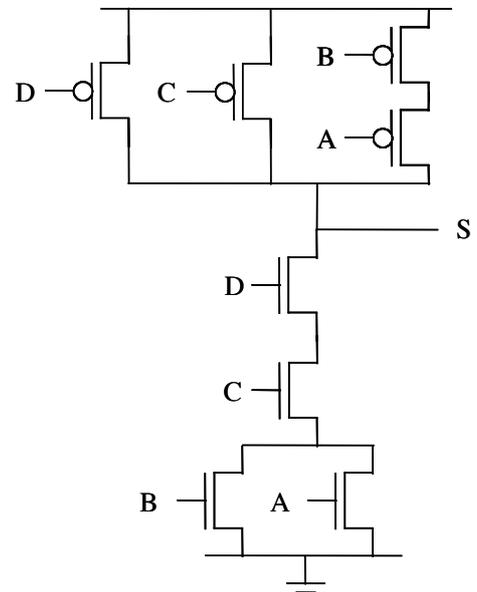
(a) Donnez le schéma à base de transistors en réalisant un nand à 4 entrées suivi d'un inverseur. Combien de transistors sont nécessaires et quels sont les temps de propagation ?

(b) En partant du fait que $ABCD = \overline{\overline{ABCD}} = \overline{\overline{AB} + \overline{CD}}$, dessinez une autre réalisation du and à 4 entrées et regardez le nombre de transistors et les temps de propagation.

(c) Quelle réalisation choisir pour une optimisation en temps ? en surface ?

2. Analyse d'un circuit CMOS.

Soit le circuit décrit dans la figure ci contre. On posera les éléments parasites des transistors NMOS et PMOS: R_n , R_p , C_{gn} , C_{gp} .



(a) Donnez la fonction logique de ce circuit.

(b) Rappelez comment varient ces éléments en fonction des tailles L et W des transistors.

(c) Donnez les temps de montée T_{plh} et de descente T_{phl} en fonction de R_n , R_p , C_{gn} , C_{gp} , C_I , lorsque la cellule est chargée par une capacité C_I équivalente à l'entrée d'un inverseur.

(d) Proposez, pour chaque transistor de la cellule, un rapport W/L permettant d'équilibrer les temps de montée et de descente de la cellule globale pour un maximum de combinaison des entrées.

(e) Quelles sont les combinaisons de transitions des entrées qui impliquent les temps de propagation (montée et descente) au pire cas ?

3. Conception d'une cellule XOR CMOS

- 1 La technologie utilisée (0.25μ) donne, pour un transistor NMOS $2\lambda:2\lambda$ (L:W), des valeurs de R_{n0} , C_{gn0} et C_{dn0} de 1250Ω , $0.6fF$ et $0.4fF$. Si les transistors NMOS sont de taille $2\lambda:6\lambda$, et les transistors PMOS de taille $2\lambda:12\lambda$. Donnez les résistances R_n et R_p , ainsi que les capacités de grille C_g et de drain/source C_d de ces transistors.
- 2 Donner les temps de descente et de montée d'un inverseur (formé d'un transistor NMOS de taille $2\lambda:6\lambda$ et d'un transistor PMOS de taille $2\lambda:12\lambda$) chargé par un inverseur de même taille.
- 3 On souhaite réaliser un XOR ($S=A.B! + A!B$) selon deux méthodes différentes et les comparer en terme de performances. Donner les schémas à base de transistors N et P en

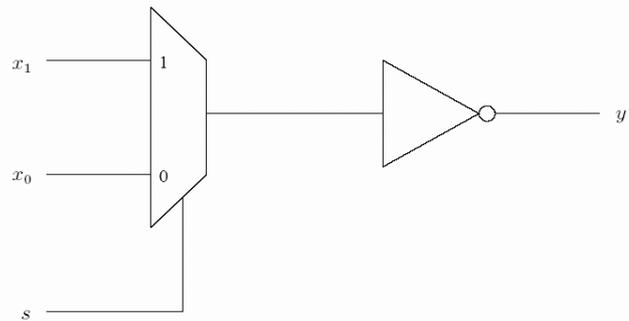
CMOS statique des deux types de XOR définis ci-dessous. Comparer en terme de surface (nombre de transistors) les deux types.

XOR Type I	XOR Type II
On utilise l'équation suivante : $C = !A ; D = !B ; S = !(A.B + C.D)$	On utilise l'équation suivante : $E = !(B + A) ; S = !(A.B + E)$

- 4 Donner les temps de montée et de descente des deux versions lorsque ces cellules sont chargées par une capacité C_I et pour des tailles de transistors identiques à la question 2.2. Vous pourrez poser C_I équivalent à la capacité d'entrée d'un inverseur.
- 5 Sous l'hypothèse que les entrées A et B ont une probabilité identique d'être à 1 ou à 0, calculer les activités aux points :
 - A, B, C, D et S pour le XOR de type I ;
 - A, B, E et S pour le XOR de type II.
- 6 En déduire la capacité effective C_{eff} et la puissance moyenne des deux versions de XOR.

4 Conception d'un multiplexeur CMOS

Soit le circuit décrit dans la figure ci contre. Il s'agit d'un multiplexeur 2 vers 1, laissant passer x_0 lorsque $s = 0$ et x_1 lorsque $s = 1$, suivi d'un inverseur.



On considérera tous les transistors NMOS de taille identique ($2\lambda \times 6\lambda$), les PMOS de taille double et on posera leurs éléments parasites : R_n, R_p, C_{gn}, C_{gp} .

- (a) Concevez ce multiplexeur sous forme de porte complexe en CMOS complémentaire statique. Décrivez votre démarche et tracez le schéma au niveau des transistors.
- (b) Tracez le schéma au niveau des transistors d'une implantation à base de portes de transmission.
- (c) Donnez les temps de montée T_{plh} et de descente T_{phl} des deux versions (a) et (b) de portes, en fonction de $R_n, R_p, C_{gn}, C_{gp}, C_I$, lorsque celles-ci sont chargées par une capacité C_I équivalente à l'entrée d'un inverseur. Que vaut cette capacité C_I ?
- (d) Enumérez les avantages et inconvénients de l'implantation à base de portes de transmission par rapport à celle sous forme de porte complexe.
- (e) Donnez les valeurs des probabilités - $\text{Prob}(y=1)$ et $\text{Prob}(y=0)$ - et de l'activité α_y de la sortie en fonctions des probabilités des entrées : $P_{x_0} = \text{Prob}(x_0=1)$; P_{x_1} ; P_s
Que vaut cette activité lorsque $P_s = P_{x_0} = P_{x_1} = 1/2$?
- (f) Donnez la puissance moyenne consommée par la porte en CMOS statique (a) lorsque celle-ci est chargée par une capacité C_I équivalente à l'entrée d'un inverseur et que $P_s = P_{x_0} = P_{x_1} = 1/2$.

TD Conception synchrone

1. Paramètres de la bibliothèque CORE9GPLL.

Vous avez en annexe un extrait de la bibliothèque Core9gp11 de STMicroelectronics 130nm.

A partir ce document, déterminer pour la bascule D, les paramètres suivants :

- surface
- capacité équivalente d'une entrée
- temps de propagation en fonction de la charge
- temps de setup et de hold pour la bascule

On prendra la version LL , les valeurs nominales à 25°C et un temps de transition des entrées de $T_r=0,17ns$.

2. Délais d'une fonction logique

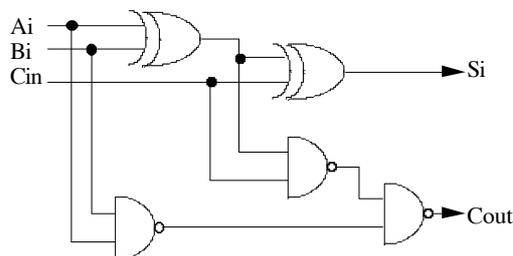
On s'intéresse au calcul du temps et de la surface du *full-adder* de la figure ci-dessous.

Donner son temps de traversée, sa surface (en μm^2) **en tenant compte des charges de chaque porte**. On donnera les temps de A_i et C_{in} vers S_i et C_{out} .

On se basera sur la bibliothèque de *standard cells* précédente, avec un modèle simplif (voir tableau ci-dessous).

On considérera que les sorties S_i sont chargées par un inverseur et que les sorties C_{out} sont chargée par l'entrée C_{in} d'un *full-adder* de même type.

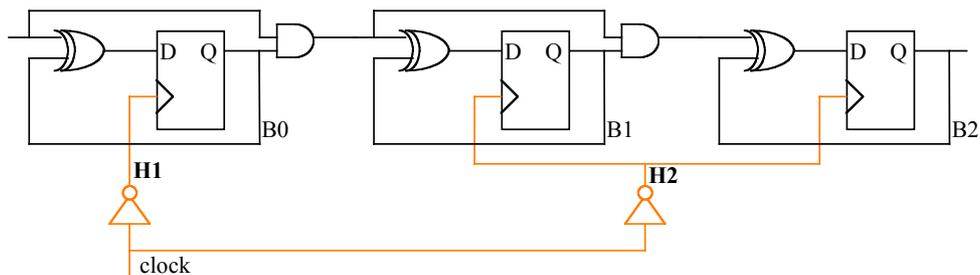
Expliquer **clairement** votre méthodologie de calcul des temps pour chacune des 5 portes.



Function	Input Capa	Cell Area (μm^2)	Delay (ns)
nand2 NDLL	0.0026	6.052	$0.051+3.631 C_I$
xor EOLL	0.0036	20.172	$0.158+2.378 C_I$
Inv IVLL	0.0027	6.052	$0.0371+2.841 C_I$

3. Désynchronisation d'horloge

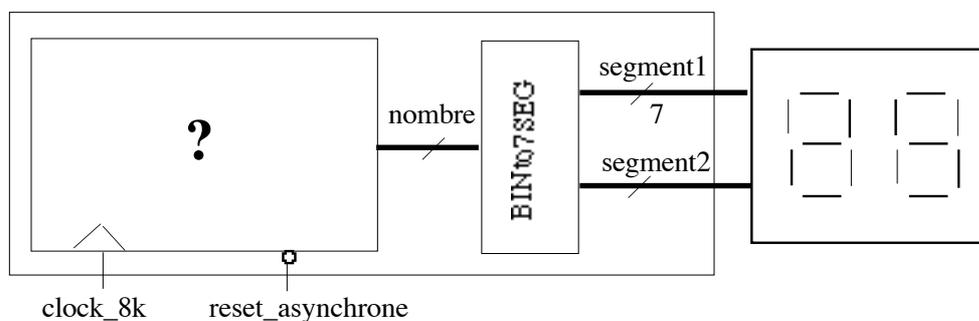
- Donner le chemin critique du circuit de la figure ci-dessous en considérant que H1 et H2 ont leur front au même instant. Donnez dans ce cas la formule littérale de la fréquence maximale de fonctionnement en réalisant le And avec un Nand suivi d'un inverseur.
- En pratique les horloges H1 et H2 sont décalées. Donnez le décalage sur les horloges (*skew*).
- Quelle est la fréquence maximale de fonctionnement du circuit si on considère le *skew* ? Tracez le chronogramme de fonctionnement afin d'expliquer votre résultat.
- Quelle serait la valeur maximale de *skew* tolérable pour que le circuit fonctionne.



4. Conception synchrone

On désire réaliser un système capable de compter les secondes entre 00 et 59 à partir d'un signal d'horloge à 8 kHz délivré par un quartz.

Le signal nombre est une représentation binaire du nombre (00 à 59) à afficher. Le décodeur BINto7SEG transforme les deux chiffres codés en binaire en un ensemble de signaux gérant les segments de l'afficheur. Ce dernier se charge de visualiser les signaux segment1 et segment2. Le système compte de 0 à 59 avant de repasser à 0.



Donnez le synoptique du système de comptage générant le signal nombre (le décodeur BINto7SEG et l'afficheur ne sont pas à réaliser). Attention! Il vous faudra veiller à obtenir une version synchrone de ce circuit.

5. Etude d'un registre.

- 1 Le registre ci-dessous (figure 1) est un registre à décalage. Les données d'entrée D arrivent à la fréquence f . Les bascules sont elles cadencées avec une horloge de fréquence $f/2$. Expliquez le fonctionnement de ce circuit synchrone. Dessinez pour cela un chronogramme et montrez que le registre est équivalent au circuit plus classique de la figure 2. Quels types de problèmes peuvent survenir sur la sortie Q ? Expliquer
- 2 Donner la fréquence maximale de fonctionnement pour les deux circuits (figure 1 et 2).

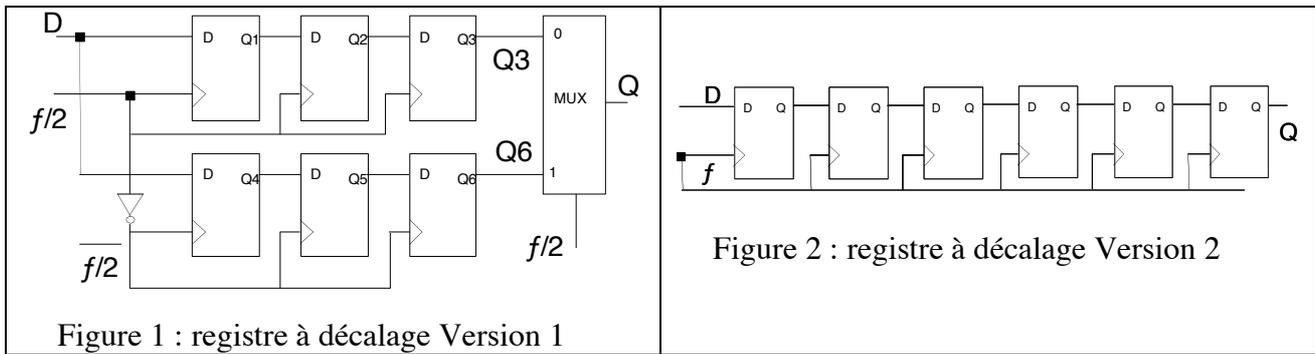


Figure 1 : registre à décalage Version 1

Figure 2 : registre à décalage Version 2

Bascule : T_{pDQ} (temps de propagation), T_{setup}

Mux : T_{mux} (temps de propagation), Inverseur : T_{inv} (temps de propagation)

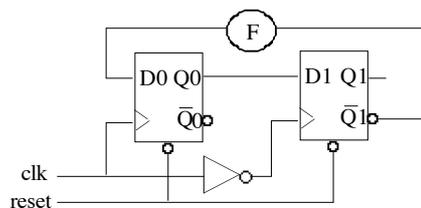
- 3 Donner l'activité α_Q des sorties Q_i des bascules ($i=1..6$) puis la puissance moyenne dissipée par le registre de la figure 2. On considérera que le signal D possède une probabilité d'être à 1 valant $\frac{1}{2}$.

Donner, dans les mêmes conditions, la puissance moyenne dissipée par le registre de la figure 1. On prendra comme modèle de consommation pour la bascule $P_{bascule} = P_{horl} + \alpha_Q \cdot P_{dyn}$, P_{mux} (puissance moyenne du multiplexeur) et P_{inv} (puissance moyenne de l'inverseur).

- 4 Quel est l'avantage du circuit de la figure 1 ? Peut on encore améliorer ces performances ?

6. Conception synchrone

- Soit le schéma de la figure ci-dessous, donner le chemin critique puis la fréquence maximale d'utilisation de la cellule. Faites un chronogramme du fonctionnement.
- Expliquer à quoi est dû, et comment peut intervenir le phénomène de *skew* sur ce schéma. Donner sa valeur max pour un bon fonctionnement du système.





Truth Table

IQ	Q
IQ	IQ

Truth Table

D	CP	IQ	IQ
D	/	-	D
-	-	IQ	IQ

Physical Dimensions

Property	FD1QLL	FD1QLLP	FD1QLLX4
Area(um ²)	28.241	28.241	30.258

Capacitance
picoFarads

Cell	Property	Best 1.32V -40C	Worst 1.08V 125C	Nominal 1.2V 25C
FD1QLL	CP Input Cap.	0.0032	0.0028	0.0030
FD1QLL	Q Max Load	0.160	0.160	0.160
FD1QLL	D Input Cap.	0.0023	0.0020	0.0021
FD1QLLP	Q Max Load	0.320	0.320	0.320
FD1QLLP	D Input Cap.	0.0022	0.0019	0.0021
FD1QLLX4	CP Input Cap.	0.0032	0.0027	0.0029
FD1QLLX4	Q Max Load	0.640	0.640	0.640
FD1QLLX4	D Input Cap.	0.0022	0.0019	0.0020

Propagation Delay

nanoSeconds, as a function of C (load in pF) and Tr (input transition time in nS)

Cell	Path	Event	Best 1.32V -40C	Worst 1.08V 125C	Nominal 1.2V 25C
FD1QLL	CP-Q	CP_Q (fall)	0.082 + 0.119*Tr + 1.221°C	0.195 + 0.179*Tr + 2.777°C	0.125 + 0.148*Tr + 1.731°C
FD1QLL	CP-Q	CP_Q (rise)	0.075 + 0.118*Tr + 1.672°C	0.178 + 0.180*Tr + 3.473°C	0.113 + 0.148*Tr + 2.408°C
FD1QLLP	CP-Q	CP_Q (fall)	0.087 + 0.121*Tr + 0.644°C	0.205 + 0.182*Tr + 1.428°C	0.133 + 0.150*Tr + 0.903°C
FD1QLLP	CP-Q	CP_Q (rise)	0.079 + 0.120*Tr + 0.836°C	0.189 + 0.182*Tr + 1.727°C	0.120 + 0.150*Tr + 1.198°C
FD1QLLX4	CP-Q	CP_Q (fall)	0.111 + 0.122*Tr + 0.342°C	0.267 + 0.183*Tr + 0.760°C	0.173 + 0.152*Tr + 0.482°C
FD1QLLX4	CP-Q	CP_Q (rise)	0.083 + 0.121*Tr + 0.425°C	0.224 + 0.184*Tr + 0.891°C	0.141 + 0.151*Tr + 0.612°C

Timing Constraints

nanoSeconds, as a function of Tr (input transition time in nS)

Cell	Constraint	Best 1.32V -40C	Worst 1.08V 125C	Nominal 1.2V 25C
FD1QLL	D_CP_HOLD (fall)	0.003 + 0.090*Tr(CP)	-0.004 + 0.147*Tr(CP)	0.049 - 0.059*Tr(D) + 0.059*Tr(CP)
FD1QLL	D_CP_HOLD (rise)	0.001 + 0.026*Tr(CP)	-0.008 + 0.047*Tr(CP)	0.023 - 0.023*Tr(CP)
FD1QLL	D_CP_SETUP (fall)	0.085 - 0.122*Tr(CP) + 0.196*Tr(D)	0.222 - 0.173*Tr(CP) + 0.178*Tr(D)	0.180 - 0.141*Tr(CP) + 0.161*Tr(D)
FD1QLL	D_CP_SETUP (rise)	0.061 - 0.081*Tr(CP) + 0.183*Tr(D)	0.170 - 0.128*Tr(CP) + 0.245*Tr(D)	0.131 - 0.099*Tr(CP) + 0.192*Tr(D)
FD1QLL	Pulse Width High CP	0.030	0.095	0.060
FD1QLL	Pulse Width Low CP	0.090	0.340	0.215

© STMicroelectronics - Reproduction and Communication of this document is strictly prohibited unless specifically authorized in writing by STMicroelectronics

© STMicroelectronics - Reproduction and Communication of this document is strictly prohibited unless specifically authorized in writing by STMicroelectronics

TD Synthèse logique à partir de VHDL

1. Synthèse VHDL de composants élémentaires

- Synthèse d'un multiplexeur 4 bits 2->1 en flots de données et en comportemental (figure 1).
- Synthèse d'un décodeur 4->16 (DEC4) avec CS actif à 0 (figure2).
- Synthèse d'un comparateur 4 bits (figure 3).

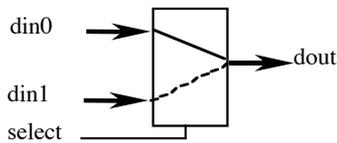


figure 1

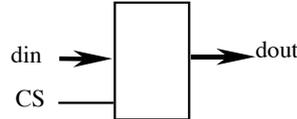


figure 2

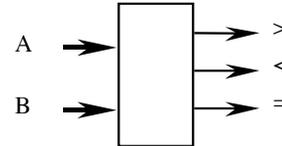


figure 3

- Compteur/Décompteur avec reset asynchrone et enable (figure 4).
- Registre à décalage 9 bits avec reset synchrone, load synchrone, décalage à droite (figure 5).
- Registre (REGRW9) lecture/écriture 9 bits, chip select actif à 0, read/write (figure 6).

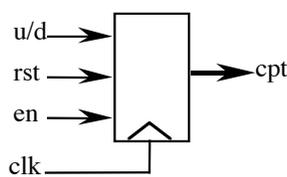


figure 4

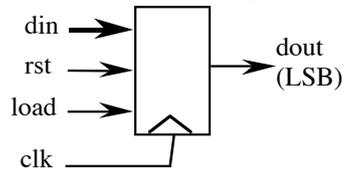


figure 5

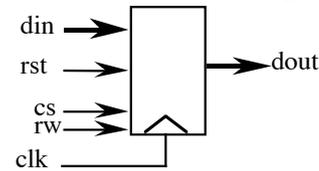


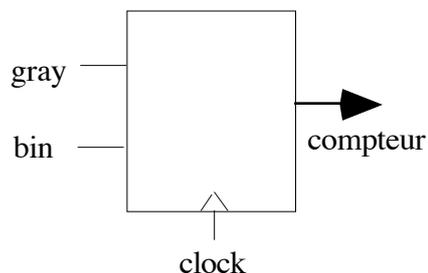
figure 6

- Mémoire RAM16x9 utilisant une description hiérarchique structurale des instances REGRW9 et DEC4 précédemment synthétisées.
- Machine d'état détectant sur un signal un passage de 0 à 1.
- Machine d'état détectant sur un signal la succession de trois niveaux hauts.

2. Synthèse de machine d'état

On désire synthétiser un compteur gray/binaire deux bits par la description d'une machine d'état synchrone de type Moore. Les signaux de contrôle *gray* et *bin* sont asynchrones et agissent sur le compteur selon la table de vérité suivante.

gray	bin	fonction
0	0	hold
0	1	comptage binaire
1	0	comptage gray
1	1	hold



- Donnez le diagramme d'état du compteur. Donnez la structure d'une telle machine sans en détailler les parties combinatoires. Quelles sont les contraintes temporelles à respecter sur les signaux *gray*, *bin* et *clock* ?
- On veut maintenant réaliser une machine de Mealy en utilisant un compteur binaire suivie d'un décodeur pour générer le gray. Donner le schéma de la nouvelle machine. Quels problèmes pose cette solution ? Comment peut-on les résoudre ?

DS de conception de circuits intégrés

Deuxième partie : conception synchrone et synthèse VHDL

Tous les documents sont autorisés

1. Conception d'un encodeur de priorité (2 points)

Le but de cet exercice est de concevoir un encodeur de priorité sur N bits, c'est-à-dire un composant retournant la position du '1' le plus à gauche (MSB) dans un vecteur binaire de N éléments.

Ce composant doit être générique sur N et possède l'entité suivante:

entity encodeur is

generic (N: **integer** := 8);

port (x: **in** std_logic_vector(N-1 **downto** 0);

y: **out** integer range 0 to N-1);

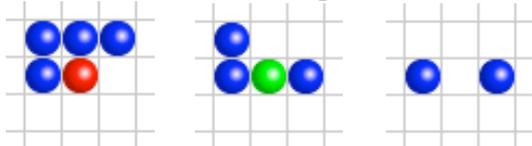
end entity encodeur;

Donner la description comportementale de l'architecture de ce composant qui doit être **uniquement combinatoire** et donc respecter les règles en conséquence.

2. Conception d'une machine d'états (4 points)

Le célèbre "jeu de la vie" de J.H. Conway est une simulation se déroulant sur une grille à deux dimensions, dont les cases — qu'on appelle des « cellules », par analogie avec les cellules vivantes — peuvent prendre deux états distincts : « vivantes » (état logique '1') ou « mortes » (état logique '0'). A partir d'une configuration initiale, l'état de chaque cellule évolue en fonction de l'état des cellules voisines, ce qui en fait un automate cellulaire. L'état de toutes les cellules change en même temps, ce qui correspond à une génération. L'automate est entièrement défini par les règles simples suivantes qui sont évaluées pour passer d'une génération à l'autre:

1. si une cellule vivante a moins de 2 voisins, elle meurt d'isolement ;
2. si une cellule vivante a plus de 3 voisins, elle meurt d'étouffement ;
3. si une cellule morte a exactement 3 voisins, elle "naît", i.e. elle devient vivante ;
4. si une cellule vivante possède 2 ou 3 voisins, elle conserve son état.



Cas 2

Cas 3

Cas 4

entity jeudelavie

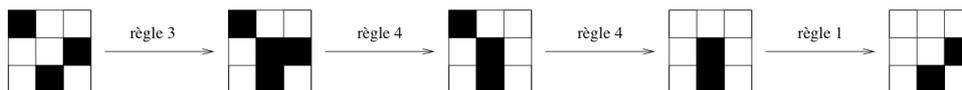
port (etatvoisins: **in** std_logic_vector(3 **downto** 0);

etatcellule: **out** std_logic;

clk, reset: **in** std_logic));

end entity jeudelavie;

On considère qu'une cellule possède 8 voisins sur la grille. L'illustration suivante montre l'évolution d'une cellule en fonction de ses 8 voisins au fil de 4 générations. On voit que l'état des voisins change également, en fonction de leurs 8 voisins respectifs.



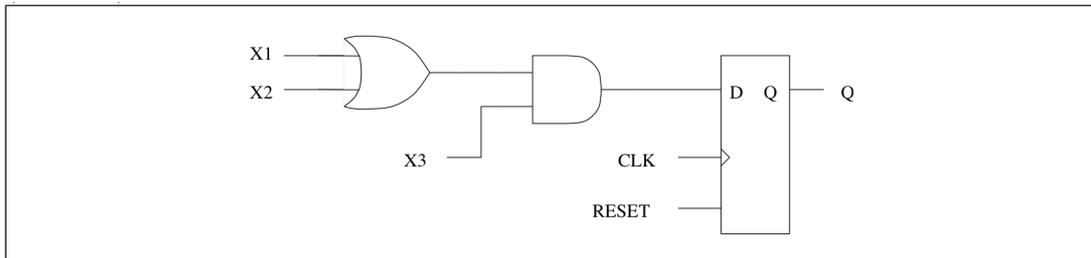
On s'intéresse dans ce qui suit à la conception d'une machine à état qui réalise une cellule dans le jeu de la vie avec une génération par coup d'horloge. Ce circuit synchrone utilise l'entité donnée ci dessus dans laquelle le port `etatvoisins` donne le nombre de voisins vivants.

(a) Dessinez le diagramme d'états régissant le comportement de ce circuit.

(b) Ecrivez une description VHDL (architecture) correspondante en séparant la partie synchrone et la partie combinatoire en des processus distincts.

3. Règles de synthèse VHDL (4 points)

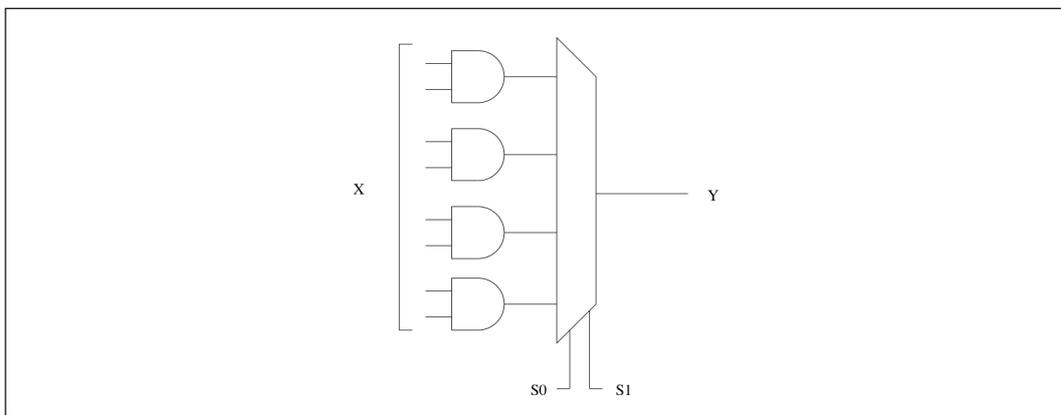
1. Soit les deux circuits suivants et les descriptions VHDL correspondantes. Vérifiez si les descriptions concordent exactement aux circuits et indiquez, s'il y a lieu, en quoi elles diffèrent.
2. Dans un second temps, indiquez, le cas échéant, des règles d'écriture non respectées dans les deux descriptions.



```

P1: process(clk, reset) is
begin
  if reset = '1' then
    Q <= '0';
  elsif clk='1' and clk'event then
    A <= X1 or X2;
    D <= A and X3;
    Q <= D;
  end if;
end process P1;

```



```

P2: process( X ) is
  signal temp: std_logic_vector( 3 downto 0 );
begin
  for i in 0 to 3 loop
    temp(i) <= x(2 * i) and x(2 * i + 1);
  end loop;

  case S1 & S0 is
    when "00" =>
      Y <= temp(0);
    when "01" =>
      Y <= temp(1);
    when "10" =>
      Y <= temp(2);
    when "11" =>
      Y <= temp(3);
  end case;
end process P2;

```

DS de conception de circuits intégrés (1h)

Tous les documents sont autorisés

1. Analyse d'une cellule CMOS (3 pts)

Soit un inverseur CMOS dont les transistors N et P sont de dimensions respectivement W_n et W_p .

On posera les éléments parasites des transistors NMOS et PMOS: R_n, R_p, C_{gn}, C_{gp} .

(a) Rappelez comment varient ces éléments parasites en fonction des tailles L et W des transistors.

(b) Exprimez les temps de propagation (montée et descente) de l'inverseur lorsqu'il est chargé par une capacité C_l . Quelle relation doit lier W_n et W_p pour que les temps de montée et de descente soient équilibrés.

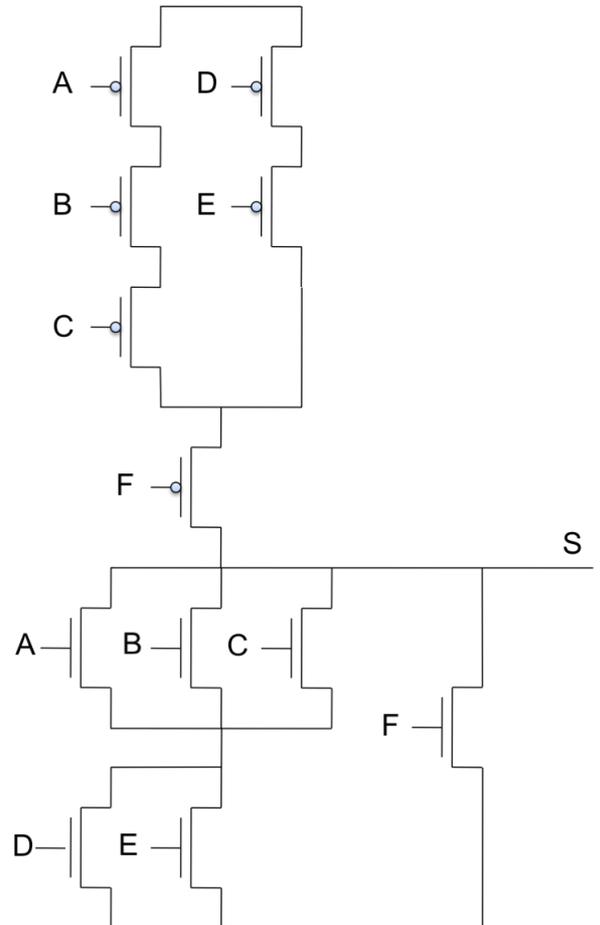
Soit le circuit décrit par son schéma transistor dans la figure ci contre. On le considère chargé par une capacité C_l .

(c) Donnez la fonction logique de ce circuit.

(d) Donnez les temps de montée T_{plh} et de descente T_{phl} en fonction de R_n, R_p, C_l , lorsque tous les transistors N et P de la cellule sont de dimensions W_n et W_p .

(e) Proposez, pour chaque transistor de la cellule, une taille W permettant d'équilibrer les temps de montée et descente de la cellule globale pour un maximum de combinaison des entrées.

On prendra comme objectif des temps deux fois plus grands que ceux de l'inverseur étudié au début.



2. Conception d'une cellule CMOS (2 pts)

Soit un circuit à 4 entrées A, B, C et D et une sortie S donnée par l'équation logique suivante :

$$S = (A + B).C\bar{D}$$

(a) Déterminez le nombre minimum d'étages nécessaires à sa réalisation en CMOS statique.

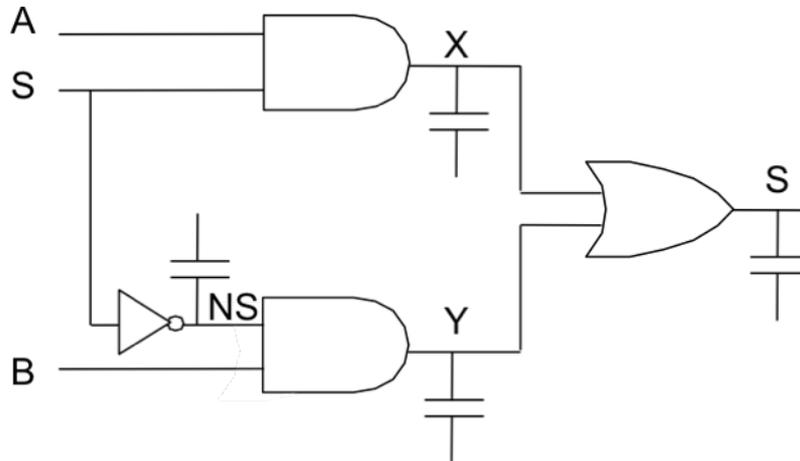
(b) Donnez le schéma au niveau transistors de cette fonction.

(c) Donnez les temps de montée T_{plh} et de descente T_{phl} de la sortie. On posera R_n et R_p les résistances équivalentes des transistors N et P, C_{gn} et C_{gp} les capacités de grille des transistors N et P et C_l la capacité équivalente sur la sortie S.

3. Consommation d'un circuit CMOS (2.5 pts)

(a) Soit le circuit multiplexeur dont le schéma est donné ci-dessous. La capacité aux nœuds NS, X, Y et S vaut $C=0.3pF$. La tension d'alimentation V_{dd} vaut 2.5V. Les entrées A, B et S arrivent à une fréquence de 100MHz et ont des probabilités d'être à 1 respectivement égales à P_A, P_B et P_S .

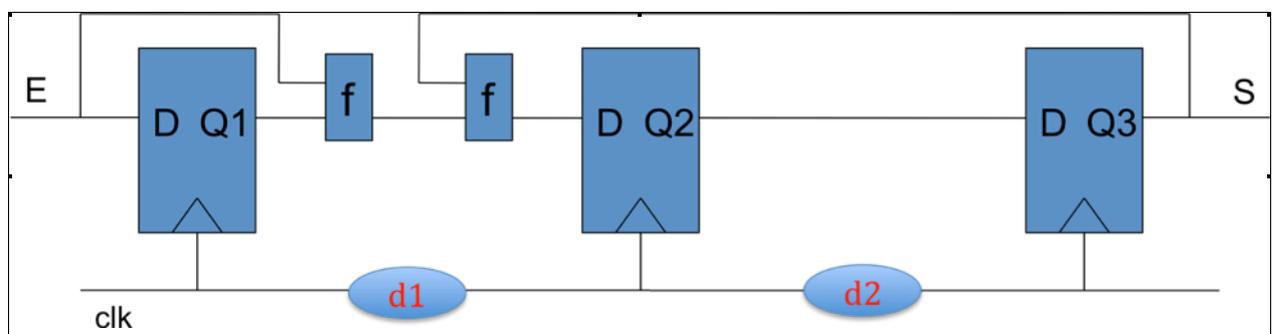
- (b) Déterminez les probabilités P_X , P_Y et P_{NS} puis l'activité des nœuds X, Y et NS.
- (c) Existe-t-il une reconvergence dans ce schéma ? Si c'est le cas, exprimez à l'aide de la table de vérité de S en fonction de X et Y les états qui posent problèmes (par exemple états inexistantes). En déduire la probabilité P_S que S soit à 1 en fonction de P_X et P_Y , puis en fonction de celles des entrées.
- (d) Si $P(A=1)=0.5$, $P(B=1)=0.5$, $P(S=1)=0.5$, déterminez l'activité des différents nœuds du circuit, puis en déduire la puissance moyenne dissipée dans la cellule complète.
- (e) Si on tient compte des temps de propagation des portes, expliquez quels phénomènes interviennent et ce qui est changé dans l'analyse de consommation que vous venez de faire.



4. Performances d'un circuit synchrone (2.5 pts)

Soit le circuit ci-contre, les bascules ont un temps de propagation T_p , un temps de *hold* T_{hold} et un temps de *setup* T_{setup} . Le bloc combinatoire possède un temps T_f . On négligera dans un premier temps l'effet des temps de skew d_1 et d_2 .

- (a) Indiquez les différents chemins pouvant limiter la fréquence de fonctionnement de ce circuit. Expliquez.
- (b) Exprimez le chemin critique en fonction des temps caractéristiques des bascules et des fonctions combinatoires. En déduire la fréquence maximale de fonctionnement du circuit.
- (c) Si on considère maintenant les temps de skew d_1 et d_2 , dessinez sur un chronogramme l'effet de cette désynchronisation d'horloge. On rappelle que d_1 et d_2 peuvent être positifs ou négatifs.
- (d) Exprimez la valeur maximale que peut prendre le skew et son influence sur la valeur de la fréquence maximale.
- (e) Indiquez les signes de d_1 et d_2 (positifs ou négatifs) correspondant aux cas défavorables.



DS de conception de circuits intégrés

Deuxième partie : conception synchrone et VHDL

Tous les documents sont autorisés

1. Conception d'un comparateur par structure et hiérarchie (3 points)

Le but de cet exercice est de concevoir un comparateur N bits à partir de comparateurs 1 bit et en utilisant une description structurée de l'architecture.

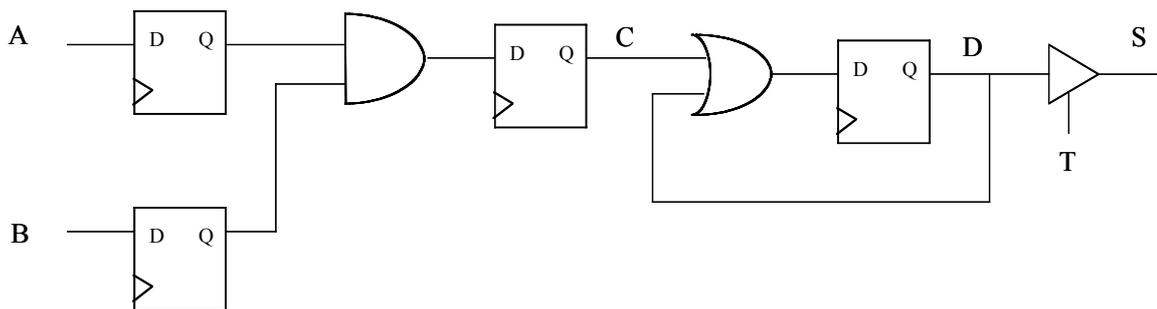
- 1 Soit un comparateur 1 bit ayant des entrées sur 1 bit A, B $sup_in, egal_in, inf_in$ et des sorties sur 1 bit $sup, egal, inf$ telles que :
 - a. la sortie sup vaut 1 si $A > B$ ou si $A = B$ et l'entrée sup_in vaut 1 ;
 - b. la sortie $egal$ vaut 1 si $A = B$ et que l'entrée $egal_in$ vaut 1 ;
 - c. la sortie inf vaut 1 si $A < B$ ou si $A = B$ et l'entrée inf_in vaut 1 ;

Donnez la description RTL de ce comparateur 1 bit (*entity/architecture*)

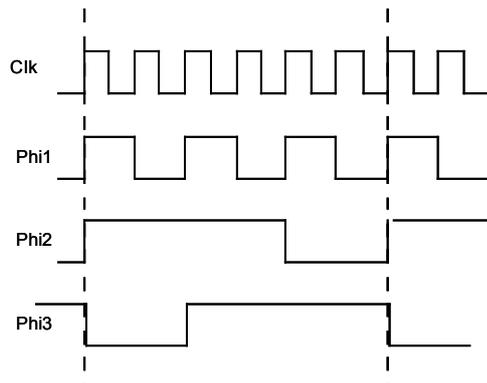
- 2 Soit un comparateur N bits (deux entrées A et B sur N bits et trois sortie $sup, egal$ et inf) réalisé à partir d'une description structurée de N comparateurs 1 bit. Donnez la description RTL structurée de ce comparateur (uniquement l'*architecture*). En cas de difficulté à exprimer la généralité sur N bits, donnez la description d'un comparateur 4 bits.

2. Conception de systèmes synchrones (4 points)

1. Donnez la spécification comportementale (non structurée) de l'architecture du circuit ci-dessous en n'utilisant qu'un **seul processus synchrone**, et aucune instruction de type PORT MAP. Tous les fils sont sur 1 bit ; A, B et T sont les entrées ; S est la sortie. Ne décrivez que le processus et non l'ensemble *entity/architecture*.



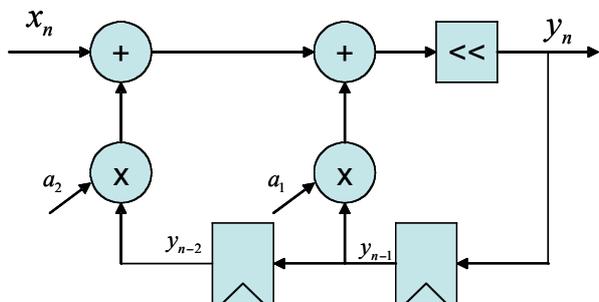
2. On cherche à générer une horloge multi-phases dont le chronogramme est donné à la figure de droite.



- a. Dessiner le diagramme d'états du bloc réalisant ce chronogramme.
- b. Donner la description VHDL (*architecture*) générant les trois signaux PHI1, PH2 et PHI3.

3. Filtre numérique RII (3 points)

Soit le filtre numérique RII : $y_n = x_n + a_1 y_{n-1} + a_2 y_{n-2}$ dont le graphe est représenté ci-dessous. Les signaux x_n , y_n , y_{n-i} et les coefficients a_i sont sur b bits en *std_logic_vector* ou en *integer* avec *range*. Les additions sont réalisées en double précision sur $2b$ bits. On déclarera les coefficients a_1 et a_2 comme des constantes respectivement égales à 0.2 et -0.3. L'entrée *clk* est l'horloge du circuit. Elle est dans ce cas équivalente à la période d'échantillonnage du signal d'entrée. L'opérateur \ll est un opérateur de recadrage $2b$ vers b bits.



Ecrire le code VHDL comportemental (*architecture*) générique sur b (par défaut $b=16$) du filtre numérique. Vous n'utiliserez qu'un **seul process synchrone**.

- Entrées : x_n et *clk* (pas de reset)
- Sortie : y_n

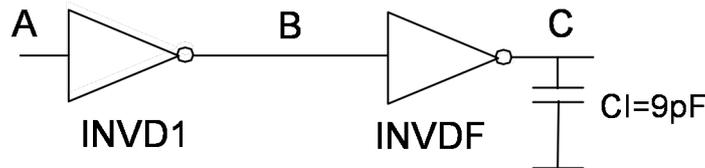
DS de conception de circuits intégrés (1h)

Tous les documents sont autorisés

1. Optimisation d'une chaîne d'inverseurs CMOS (4 pts)

On considère un inverseur dont les transistors NMOS et PMOS sont dimensionnés de façon à ce que les temps de montée et de descente soient identiques. On posera cet inverseur de drive 1x (INVD1) avec des dimensions des transistors N et P respectivement W_n et W_p .
 Le temps de propagation de l'inverseur non chargé est de 20ps.
 Le temps de propagation de l'inverseur chargé par un même INVD1 est de 40ps.
 La capacité d'entrée de l'inverseur INVD1 vaut $C_i=10fF$.

- (a) Donnez pour l'inverseur INVD1 les valeurs du délai de transport D_t et du délai unitaire D_u .
- (b) Exprimez le temps de propagation de INVD1 en fonction de R_n , C_{int} et C_i . En déduire les valeurs de R_n (résistance des transistors N et P de INVD1) et C_{int} (capacité interne de INVD1).
- (c) Pour un inverseur de drive F_x (F fois plus grand que le drive de INVD1), comment varient R_n , C_i , C_{int} , D_t et D_u ?
- (d) Soit le schéma ci-dessous constitué de deux inverseurs INVD1 et INVDF, dont le deuxième est chargé par une capacité $C_l = 9pF$. Exprimez le temps de propagation entre le point A et le point C T_{pAC} en fonction de F . Déterminez la valeur de F qui permet de minimiser T_{pAC} .



- (e) La capacité équivalente du fil par rapport au substrat est composée de la somme de la capacité de côté du fil et de la capacité de surface. Elle est modélisée par les équations du tableau ci-dessous. Donner la capacité équivalente d'un fil de longueur $L = 5$ mm.
- (f) Si le fil B du schéma précédent est un fil de longueur 5mm, déterminez la valeur de F qui permet de minimiser T_{pAC} . Que concluez-vous ?

<p style="font-size: small;">Contribution des côtés du fil à la capacité globale</p> <p style="font-size: small;">Contribution de la partie inférieure du fil à la capacité globale</p> <p style="font-size: small;">Coupe du fil interconnectant les deux inverseurs</p>	<p>Capacité du fil en fonction de sa longueur L :</p> $C_{fil}(L) = C_{côté}(L) + C_{surface}(L)$ <p>avec</p> $C_{côté}(L) = C_{Mi} \cdot L$ $C_{surface}(L) = C_{Si} \cdot L \cdot W$ <p>W : largeur du fil $W = 0.2 \mu m$ $C_{Mi} = 0.036 fF/\mu m$ $C_{Si} = 0.050 fF/\mu m^2$</p>
---	--

2. Conception d'une cellule CMOS (2 pts)

Soit l'équation logique suivante : $S = A(BD+EC)$.

- (a) Déterminez le nombre d'étages nécessaires à sa réalisation en CMOS statique. Donnez le schéma au niveau transistors de cette fonction.
- (b) Donnez les temps de montée T_{plh} et de descente T_{phl} de la porte. On posera R_n et R_p les résistances équivalentes des transistors N et P, C_{gn} et C_{gp} les capacités de grille des transistors N et P et C_l la capacité équivalente sur la sortie S.

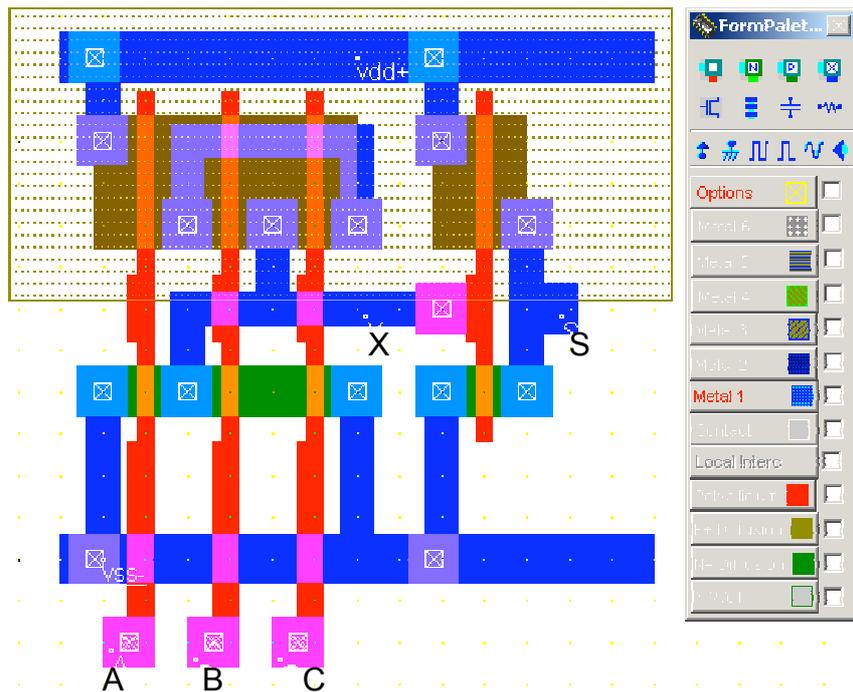
(c) Donnez les W_n et W_p de tous les transistors, de façon à ce que les temps de propagation (montée et descente) de cette porte soient identiques et que aucun des transistors n'ait une largeur inférieure à $W = 4\lambda$. Plusieurs solutions sont bien sur possibles.

3. Analyse d'un circuit CMOS (2 pts)

(a) Soit le circuit dont le *layout* est donné ci-dessous, donnez la fonction logique et le schéma transistor de ce circuit.

(b) Si $P(A=1)=0.5$, $P(B=1)=0.5$, $P(C=1)=0.5$, déterminez l'activité des nœuds X et S.

(c) Si $P(A=1)=0.3$, $P(B=1)=0.2$, $P(C=1)=0.5$, déterminez l'activité des nœuds X et S. En déduire la puissance moyenne dissipée dans la porte logique. On considérera $V_{dd}=2V$, $C_x=C_s=30fF$ (les capacités aux nœuds X et S), $F=300MHz$.



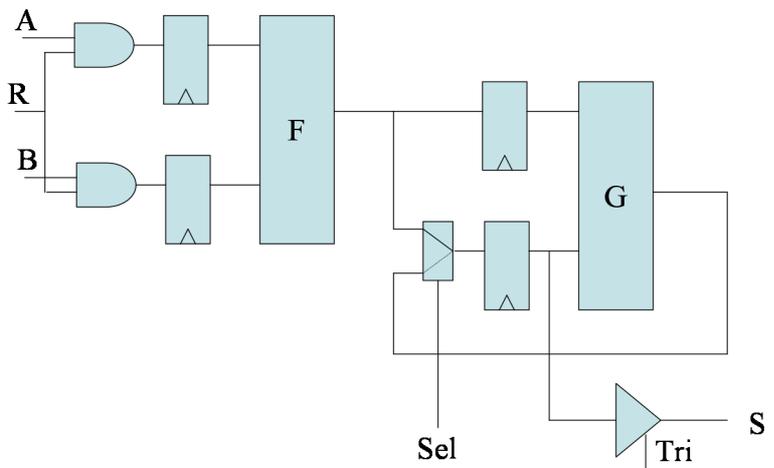
4. Performances d'un circuit synchrone (2 pts)

Soit le circuit ci-contre, les bascules ont un temps de propagation T_p et un temps de *setup* T_{setup} . Les portes et blocs combinatoires ont des temps T_{and} , T_{mux} , T_F , T_G et T_{tri} . On négligera l'effet de la sortance.

(a) Indiquez les différents chemins limitant la fréquence de fonctionnement de ce circuit. Expliquez.

(b) Exprimez le chemin critique en fonction des temps caractéristiques des bascules et des fonctions combinatoires.

(c) En déduire la fréquence maximale de fonctionnement de ce circuit.



DS de conception de circuits intégrés (1h)

Tous les documents sont autorisés

1. Conception d'une cellule CMOS

Soit l'équation logique suivante : $S = ((\bar{A} + \bar{B})(\bar{C} + \bar{D}) + \bar{E})\bar{F}$

(a) Montrer que qu'une équation logique équivalente à S minimisant le nombre d'étages CMOS est de la forme : $S = (AB + CD)E + \bar{F}$. Donnez le schéma au niveau transistors de cette porte en CMOS complémentaire statique.

(b) Dans le cas où tous les transistors N ont le même W/L et où tous les transistors P ont le même W/L, donnez les temps de montée T_{plh} et de descente T_{ppl} de la porte. On posera R_n et R_p les résistances équivalentes des transistors N et P et la capacité équivalente C_I sur la sortie S.

(c) Quelles combinaisons des entrées donnent les pires cas et les meilleurs cas des temps de montée et de descente ?

(d) Donnez les W/L de tous les transistors de façon à ce que les temps de propagation (montée et descente) de cette porte soient équivalents à un inverseur formé par des transistors NMOS avec W/L=2 et PMOS avec W/L = 6.

(e) Si P(A=1)=0.5, P(B=1)=0.2, P(C=1)=0.3, P(D=1)=0.1, P(E=1)=P(F=1)=0.5, déterminez la puissance moyenne dissipée dans la porte logique. On considérera V_{dd}=2V, C_I=30fF, F=300MHz.

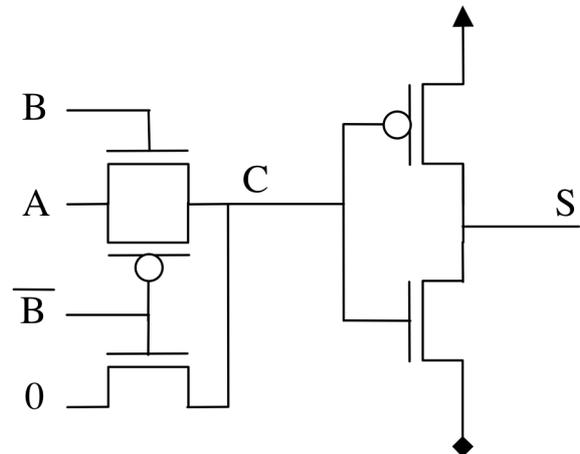
2. Analyse d'un circuit CMOS

Soit le circuit de la figure ci contre. On posera les éléments parasites des transistors NMOS et PMOS: R_n, R_p, C_{gn}, C_{gp}.

(a) Donnez la fonction logique de ce circuit.

(b) Indiquez sur le schéma de ce circuit les capacités parasites du nœud C. Indiquez également sur le schéma les résistances parasites des différents transistors.

(c) Donnez les temps de montée T_{plh} et de descente T_{ppl} en fonction de R_n, R_p, C_{gn}, C_{gp}, C_I, lorsque la cellule est chargée par une capacité C_I équivalente à l'entrée d'un inverseur.

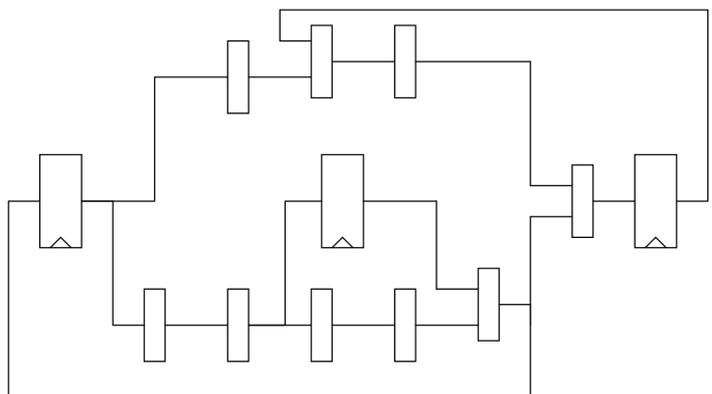


3. Performances d'un circuit synchrone

Soit le circuit ci-contre, les bascules ont un temps de propagation et un temps de *setup* que l'on posera égal à 1, les portes logiques (1 ou 2 entrées) ont un temps de propagation que l'on modélisera par un délai de transport (Dt) de 1 et un délai unitaire (Du) de 0.5. Toutes les portes ont un *drive* de 1x.

(a) Donnez les temps de propagation des différentes portes logiques sur le circuit ci-contre.

(b) Indiquez le chemin critique de ce circuit et donnez sa valeur.



3. Conception d'une cellule *additionneur complet* CMOS Conception d'un additionneur sur N bits

On considère un additionneur complet (*full adder*) 1 bit réalisant la fonction de somme S et de retenue R en fonction de 2 entrées A et B et d'une retenue entrante C. La formulation classique consiste à exprimer :

$$S = A \oplus B \oplus C, \text{ et } R = S + A \cdot B \quad (\oplus \text{ est le XOR, } + \text{ le OR, et } \cdot \text{ le AND})$$

En pratique, la retenue étant toujours le chemin critique de l'additionneur sur N bits, on préfère exprimer S en fonction de R. On peut utiliser l'expression :

$$R = (A \cdot B) + C \cdot (A + B)$$

$$S = (A \cdot B \cdot C) + \bar{R} \cdot (A + B + C)$$

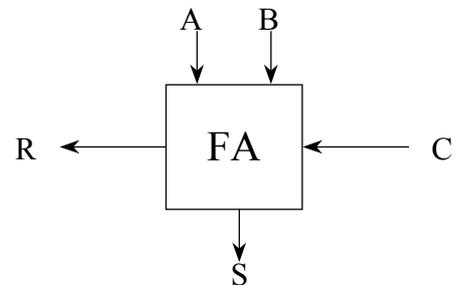


Figure 1 : Full-Adder 1 bit

- (a) Donnez le schéma à base de transistors de la porte CMOS réalisant la fonction \bar{R} , puis la fonction R et la fonction S.
 (b) Estimez le temps de traversée de R, puis celui de S. Vous donnerez, dans les deux cas, le temps de montée et le temps de descente des deux fonctions. On considérera que $R_n = R_p$. On posera C_I la capacité équivalente de l'entrée d'un inverseur (1 NMOS et 1 PMOS) et on considérera les sorties R et C chargées par C_I .

Les questions (c) à (g) peuvent être traitées indépendamment des questions (a) et (b).

- (c) Expliquez, en donnant son schéma bloc utilisant le *full adder* défini question (a), comment réaliser un additionneur sur 4 bits par propagation de la retenue.
 (d) Que vaut le temps de propagation d'un additionneur N bits en fonction des temps trouvés à la question (b).

On s'intéresse maintenant à la mesure de l'activité de cette cellule, afin d'en déduire sa puissance moyenne. On considère que les entrées A, B, et C ont la même probabilité d'être à 1 qu'à 0.

- (e) Quel est le coefficient d'activité α des sorties \bar{R} et \bar{S} , R, et S. En déduire la capacité effective de la cellule lorsqu'elle est chargée par une capacité C_I . Quelle est la puissance moyenne de ce *full adder*.
 (f) Dans le cas où les entrées de l'additionneur sont aléatoires et équiprobables, donnez la puissance moyenne de l'additionneur sur 4 bits. Expliquez clairement votre résultat.
 (g) Cette estimation est-elle exacte ? Si non, quels phénomènes a-t-on négligé ?

DS de conception de circuits intégrés

Deuxième partie : conception synchrone et VHDL

Tous les documents sont autorisés (1h)

1. Synthèse VHDL de circuit synchrone (5 points)

1. Donnez la spécification comportementale du circuit de la figure 1 (*entity/architecture*) en n'utilisant aucune instruction de type *port map* et une seule *architecture*. Tous les fils sont des *std_logic* ; E, sel, rst et clk sont les entrées ; Q0 et Q1 sont les sorties.

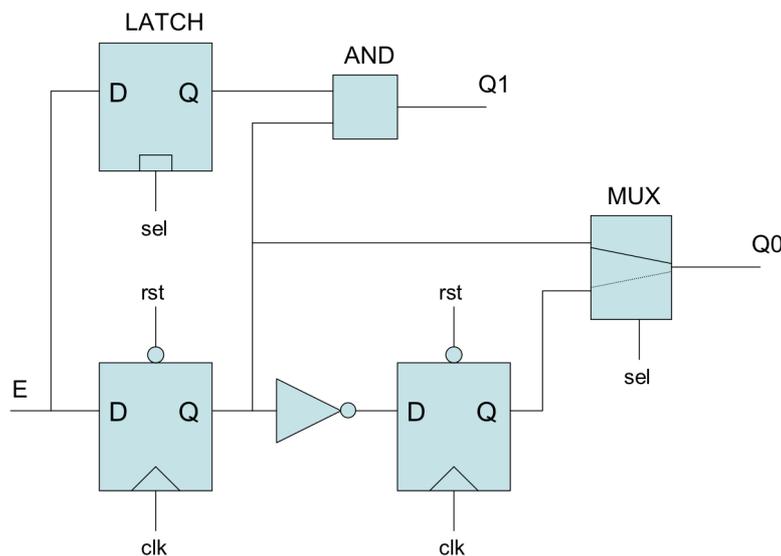


Figure 1 : circuit de l'exercice 1.1

2. Le circuit de la figure 2 permet de calculer l'autocorrélation d'un signal X se trouvant dans une RAM de 128 mots de 16 bits. Cette RAM est à double ports de lecture, c'est à dire qu'elle est capable de sortir en lecture deux valeurs simultanément sur les sorties DOUT0 et DOUT1 adressées par les deux bus d'adresses ADR0 et ADR1.
 - X, S et les fils en gras sont sur 16 bits. A0 et A1 sont sur 7 bits.
 - Pour la multiplication, vous utiliserez en VHDL une multiplication simple, non signée.
 - a. Donnez la description VHDL (*entity/architecture*) de la RAM128x16 dont la vue extérieure est celle de la figure 2. L'écriture synchrone à l'horloge clk se fait via le bus de données X et par le bus d'adresses A0. Le signal RW indique une écriture à 0 et une lecture à 1. Lors de l'écriture, les ports de sortie sont immédiatement affectés par les valeurs des adresses.
 - b. Donnez la description VHDL (*architecture*) du circuit complet de la figure 2.

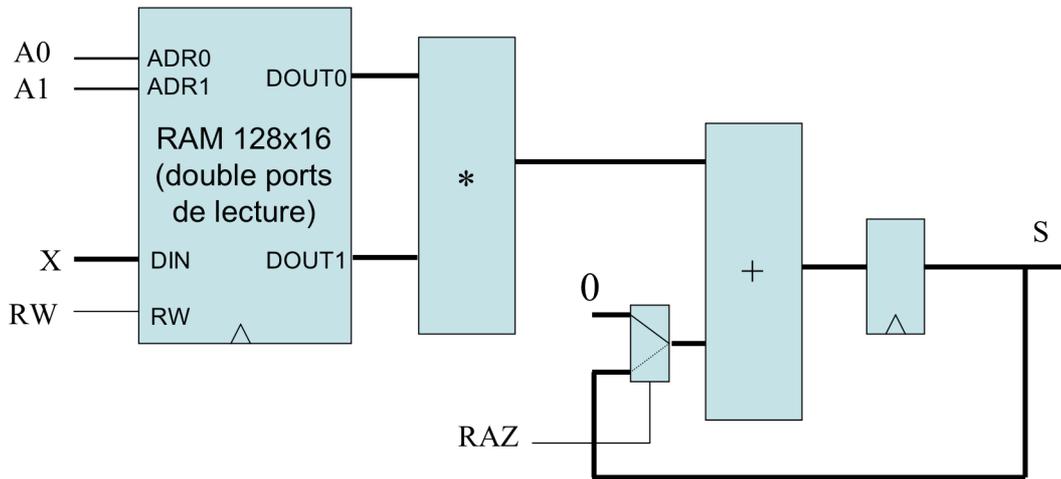


Figure 2 : architecture du corrélateur

2. Système de surveillance de parking (5 points)

On souhaite développer un système de surveillance de parking de 100 places qui compte les voitures entrantes et sortantes. Le parking a une porte à travers laquelle une seule voiture à la fois peut entrer ou sortir. Deux paires de LED/Photo-Detector A et B sont montées à l'entrée de la porte et permettent de détecter le passage de la voiture. Chaque détecteur PA et PB produit un '1' quand une voiture obscurcit le détecteur correspondant.

Quand une voiture entre dans le parking, l'avant de la voiture obscurcit la LED B puis la LED A. Quand le véhicule continue d'avancer, la LED B devient visible à nouveau, suivie par la LED A. Le processus est inversé pour une voiture quittant le parking.

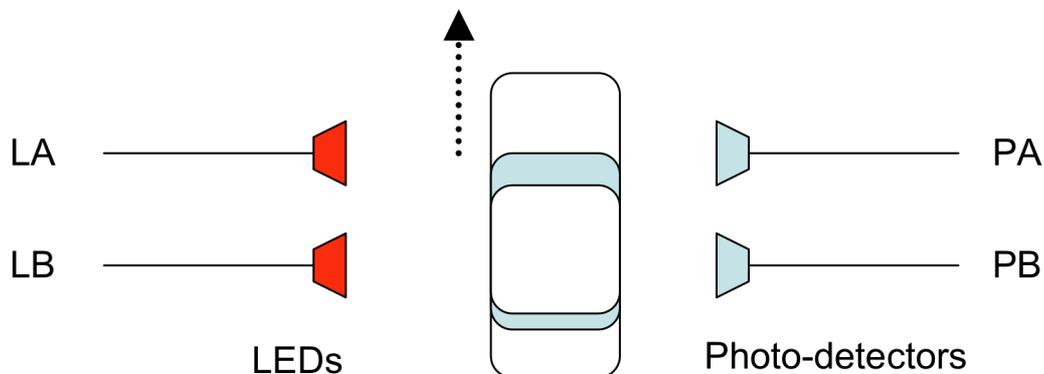


Figure 3 : principe de fonctionnement du système de surveillance

L'objectif est de définir un modèle synthétisable de ce système. Le modèle doit inclure une machine d'états finie à deux entrées (PA, PB) et des sorties servant à commander un compteur qui s'incrémente et se décrémente. La sortie du système est la valeur du compteur sous la forme d'un entier (NB_VOITURE), ainsi qu'un signal qui indique si le parking est plein (PLEIN), c'est-à-dire si le nombre de voitures est égal à 100.

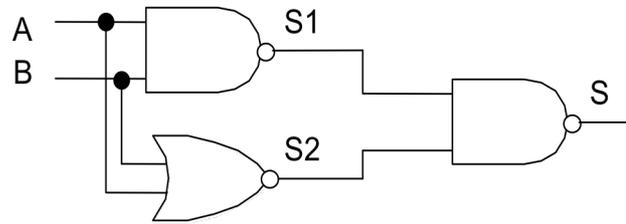
1. Donnez la spécification VHDL RTL (*architecture*) du compteur.
2. Donnez le diagramme d'état suivant le modèle de Moore du contrôleur.
3. En déduire la spécification VHDL (*architecture*) du contrôleur.
4. Après avoir dessiné un schéma bloc du système complet, donnez sa spécification VHDL (*architecture*) structurelle.

DS de conception de circuits intégrés (1h)

Tous les documents sont autorisés

1. Consommation d'un circuit CMOS (~2.5 points)

Cet exercice vise à estimer l'activité du circuit décrit dans la figure ci-contre afin d'en déduire sa consommation de puissance. On considérera que les entrées A et B ont des probabilités P_A et P_B d'être à 1. Ne pas chercher à simplifier le schéma.



- (a) Après avoir donné la table de vérité de S1, S2 et S, vous donnerez les probabilités $P(S1=1)$ et $P(S2=1)$ que les nœuds S1 et S2 valent 1 en fonction de P_A et P_B . Vous en déduirez les activités α_{S1} et α_{S2} lorsque P_A et $P_B = 1/2$.
- (b) Exprimer $P(S=1)$ en fonction de P_{S1} et P_{S2} de façon directe.
- (c) Dans ce schéma, la valeur de la sortie S dépend de S1 et S2 qui dépendent eux-mêmes de A et B. Il est donc nécessaire d'utiliser des probabilités conditionnelles entre S1 et S2. Exprimer $P(S=1)$ à l'aide de probabilités conditionnelles aux valeurs de S1 et S2. On rappelle que la probabilité de X sachant la valeur de Y vaut $P(X|Y) = P(X \cap Y)/P(Y)$. Donner l'application numérique lorsque P_A et $P_B = 1/2$.
- (d) Après en avoir déduit l'activité en S α_S , donner la puissance moyenne consommée par le circuit complet. On considérera que chaque nœud du circuit (S1, S2, S) est équivalent à une capacité C.

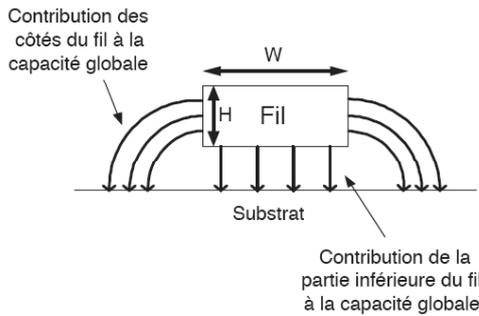
2. Optimisation d'un fil d'interconnexion (~2.5 points)



Soit le circuit décrit dans la figure ci-dessus consistant en deux inverseurs servant de *buffer* pour commuter un fil de longueur L. On posera dans notre cas $L = 5$ mm, ce qui correspond à une longueur moyenne de bus d'interconnexion. Le tableau ci-dessous donne les valeurs de capacités d'entrée et de temps de propagation pour deux types d'inverseur avec des « drive » différents. Les temps de propagation sont donnés pour deux valeurs de charges différentes. La technologie utilisée est 130nm.

	Cg	Tp avec Cl = 2 fF	Tp avec Cl = 16 fF	Rn = Rp	Cint
INVD2	7 fF	27 ps	65 ps	?	?
INVD4	13 fF	28 ps	33 ps	?	?

- (a) Donnez pour l'inverseur « INVD2 » la valeur du délai de transport D_T , i.e. le temps de propagation de l'inverseur non chargé.
- (b) En déduire les valeurs de R_n (résistance des transistors de l'inverseur INVD2) et C_{int} (capacité interne de l'inverseur INVD2). On considérera que $R_n = R_p$.
- (c) La capacité équivalente du fil par rapport au substrat est composée de la somme de la capacité de côté du fil et de la capacité de surface donnée par le dessous du fil. Elle est modélisée par les équations du tableau donnée page suivante. Donner la capacité équivalente d'un fil de longueur $L = 5$ mm.
- (d) Donner le temps de propagation entre les points A et B si les inverseurs sont de type INVD2. On considérera le point B chargé par 2 fF.
- (e) Dans le cas où on insert un inverseur INVD4 au milieu du fil, donnez le nouveau temps de propagation entre les points A et B.
- (f) Quel élément important du fil a-t-on négligé dans cette analyse ? Quelle est son influence sur les temps calculé ?



Capacité du fil en fonction de sa longueur L :

$$C_{fil}(L) = C_{côté}(L) + C_{surface}(L)$$

avec

$$C_{côté}(L) = C_{Mi} \cdot L$$

$$C_{surface}(L) = C_{Si} \cdot L \cdot W$$

W : largeur du fil

$$W = 0.2 \mu m$$

$$C_{Mi} = 0.036 \text{ fF}/\mu m$$

$$C_{Si} = 0.050 \text{ fF}/\mu m^2$$

Coupe du fil interconnectant les deux inverseurs

3. Etude d'un circuit combinatoire CMOS (~4 points)

On désire réaliser un incrémenteur CMOS sur 4 bits par la méthode de la retenue propagée, dont la vue extérieure est donnée figure 2. Ce circuit combinatoire réalise la fonction suivante : $B = A + 1$, avec A et B des données représentées sur 4 bits en complément à deux et Cout la retenue sortante permettant de cascader ce circuit pour réaliser des fonctions sur un plus grand nombre de bits. On fera tout d'abord la conception au niveau transistor d'un incrémenteur élémentaire sur 1 bit (figure 1) que l'on cascadera ensuite avec d'autres pour réaliser la fonction sur 4 bits.

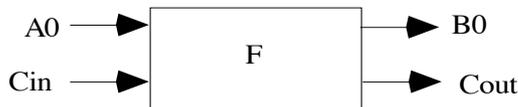


Figure 1 : incrémenteur sur 1 bit

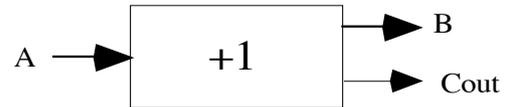
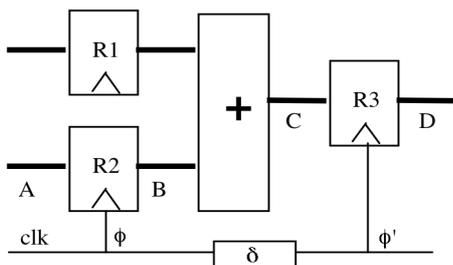


Figure 2 : incrémenteur sur 4 bits

- On s'intéresse tout d'abord à la synthèse du circuit combinatoire sur 1 bit de la figure 1. Toutes les entrées/sorties sont sur un bit. On a $B_0 = A_0 \text{ plus } C_{in} = A_0 \text{ XOR } C_{in}$, et $C_{out} = A_0 \text{ AND } C_{in}$ gère les débordements de l'addition. À quelle valeur doit-on placer C_{in} pour obtenir un incrémenteur sur 1 bit ? Si on réalise un schéma transistor direct à partir d'un XOR et d'un AND, quel est le nombre de transistor utilisé ?
- En exprimant la sortie B_0 à partir de $\overline{N_{Cout}} = \overline{C_{out}}$, montrer que l'on peut obtenir : $B_0 = \overline{N_{Cout}} \cdot (A_0 + C_{in})$. Donner le schéma transistor de B_0 selon cette équation.
- Donner les temps de montée et de descente de C_{out} et de B_0 . On posera, pour tous les transistors NMOS et PMOS, des résistances respectivement équivalentes à R_n et R_p et des capacités de grille respectivement équivalentes à C_{gn} et C_{gp} . Les autres éléments parasites seront négligés. Les sorties B_0 et C_{out} sont chargées par une capacité équivalente à un inverseur.
- Donner le schéma d'un incrémenteur à retenue propagée sur 4 bits utilisant le circuit sur 1 bit défini précédemment. Quel est le temps du chemin critique de l'incrémenteur 4 bits.
- Il est possible de diminuer le chemin critique de l'incrémenteur 4 bits en propageant $\overline{N_{Cout}}$ plutôt que C_{out} et en utilisant des inverseurs. Expliquer le principe de cette solution.

3. Analyse de performances (~2 points)



$T_{pbascule} = 5 \text{ ns}$, $T_{setup} = 5 \text{ ns}$,
 $T_{add} = 30 \text{ ns}$

δ est le temps de « skew », c'est-à-dire la différence entre $T_{\phi'}$ et T_{ϕ} , les instants où les horloges ϕ et ϕ' ont leurs fronts montants respectifs.

- Dessinez le chronogramme des signaux A, B, C, D, ϕ et ϕ' .
- Dans le cas où $\delta = 0$, quelle est la fréquence maximale de fonctionnement du système.
- Exprimez la fréquence maximale du système en fonction de δ .
- Expliquez à quoi peut être dû le phénomène de skew et comment δ peut être positif ou négatif.

DS de conception de circuits intégrés

Deuxième partie : conception synchrone et VHDL

Tous les documents sont autorisés (1h)

1. Synthèse VHDL de circuit synchrone (4 points)

<pre> ENTITY ds IS PORT(Din, reset, clk, E1, E2: IN BIT; Dout : OUT BIT); END ds; ARCHITECTURE cool OF ds IS SIGNAL Q: BIT; BEGIN PROCESS(reset,clk) BEGIN IF reset = '0' THEN Q <= '0'; ELSIF clk'event AND clk='1' THEN IF E1 = '1' AND E2 = '1' THEN Q <= Din; END IF; END IF; END PROCESS; PROCESS(E1,E2,Q) BEGIN IF E1 = '0' AND E2 = '0' THEN Dout <= Q; END IF; END PROCESS; END cool; </pre>	<p>1. Donnez le schéma à base de portes logiques du composant décrit ci-contre (ENTITY ds). <i>Ne vous préoccupez pas de la fonctionnalité de ce bloc.</i></p> <p>2. Donnez les spécifications VHDL (architecture) du circuit de la figure 1 sans utiliser de « structurel » et en utilisant un seul processus synchrone. Les entrées et sorties sont de type Std_Logic ou Std_Logic_Vector et arrivent synchronisées sur l'horloge. Les blocs « MAX » et « + » sont combinatoires. La partie synchrone effectuant le comptage tient à jour un signal <i>count</i> sur 3 bits et contient une horloge <i>clk</i> et un <i>reset</i> asynchrone. Les signaux <i>overflow</i> et <i>clear</i> doivent répondre immédiatement aux changements de valeurs de <i>count</i>. Ce qui se passe après que un de ces signaux soit activé n'est pas utile dans notre cas.</p>
--	--

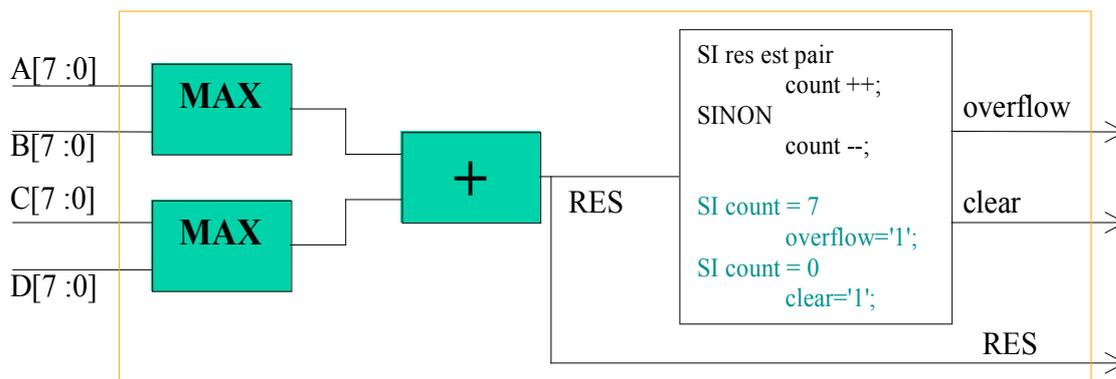


Figure 1

2. Synthèse d'un diviseur micro-programmé (6 points)

On souhaite réaliser la division X/Y de deux nombres entiers X et Y ($X \geq 0, Y \geq 0, X < Y$) sur 4 bits par une méthode itérative selon l'algorithme décrit ci-dessous. La compréhension précise de l'algorithme n'est pas nécessaire pour cet exercice. X et Y sont les entrées, Q le quotient est compris

entre 0 et 1 et codé sur N bits (on prendra $N = 8$). Le reste R n'est pas calculé ici. div est un signal permettant de déclencher la division. ok est un signal passant à 1 lorsque le résultat est disponible dans Q .

L'architecture (vue extérieure et composants) du circuit de division est donnée en figure 2. X et Y sont des registres 4 bits, Q est un registre 8 bits, l'ALU effectue addition ou soustraction en fonction d'un signal de commande add_sub et fournit un résultat signé. CPT est le décompteur de boucle sur $n=3$ bits avec $n=\log_2 N$. Il possède un signal $enable$ et un signal $init$ d'initialisation à $N-1$ et un reset asynchrone. Il fournit le signal i sur n bits.

```

Algorithme de division de X par Y selon :  $X = Q.Y + R$ 
attendre que  $div$  passe à 1
charger les registres X et Y, initialiser le compteur de boucle à N-1
pour i de N-1 vers 0 faire
     $X \leftarrow X \ll 2$ ;
     $X \leftarrow X - Y$ ;
    si  $X \geq 0$  alors
         $Q[i] \leftarrow '1'$ ;
    sinon
         $Q[i] \leftarrow '0'$ ;
         $X \leftarrow X + Y$ ;
finsi
finpour
positionner  $ok$  à 1
    
```

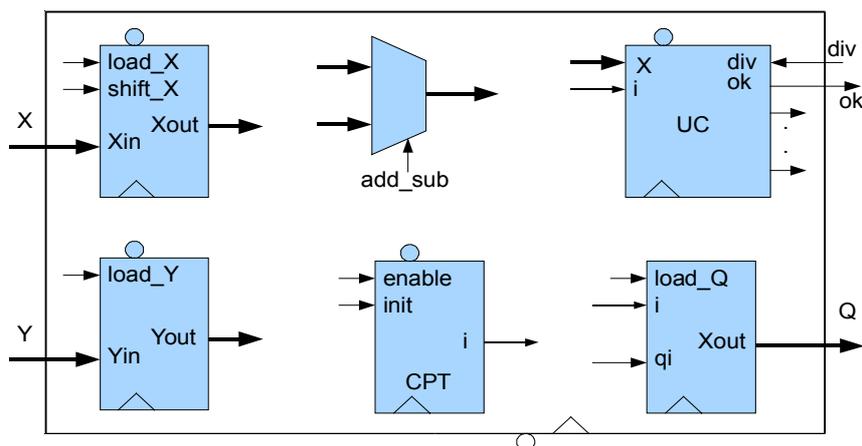


Figure 2 : vue extérieure et composants de l'architecture du diviseur

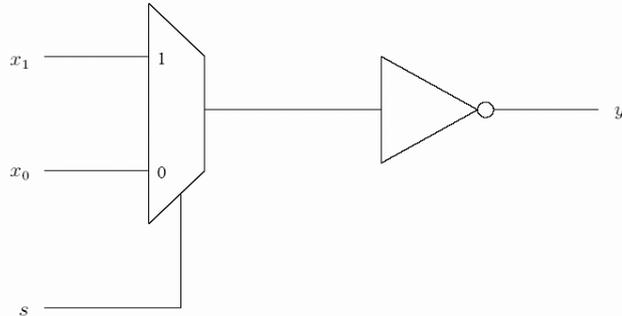
1. Le registre X est un registre à décalage à chargement parallèle. Il possède un signal de chargement parallèle $load_X$ et un signal de décalage $shift_X$. Donner sa spécification VHDL RTL (*entity/architecture*).
2. Le registre Q est un registre sur $N=8$ bits dont on peut charger chaque bascule interne $Q[i]$ en fonction de la valeur de ses entrées qi sur 1 bit et i sur n bits. Il possède un signal de chargement parallèle $load_Q$. Donner sa spécification VHDL RTL (*architecture*).
3. Le contrôleur possède les entrées suivantes : reset asynchrone, état du compteur i , signal de déclenchement div , valeur du signal X ; et les sorties suivantes : ok , $shift_X$, add_sub , $load_X$, $load_Y$, $enable$, $init$, qi , $load_Q$. Donnez le diagramme d'état suivant le modèle de Moore de ce séquenceur.
4. Donnez la spécification VHDL (*architecture*) du contrôleur.
5. Si il est possible d'optimiser le nombre de cycles pour effectuer une division et/ou la surface du diviseur, expliquez comment optimiser l'architecture et son contrôle.

DS de conception de circuits intégrés (1h)

Tous les documents sont autorisés

1. Conception d'un multiplexeur CMOS (~4 points)

Soit le circuit décrit dans la figure ci contre. Il s'agit d'un multiplexeur 2 vers 1, laissant passer x_0 lorsque $s = 0$ et x_1 lorsque $s = 1$, suivi d'un inverseur.

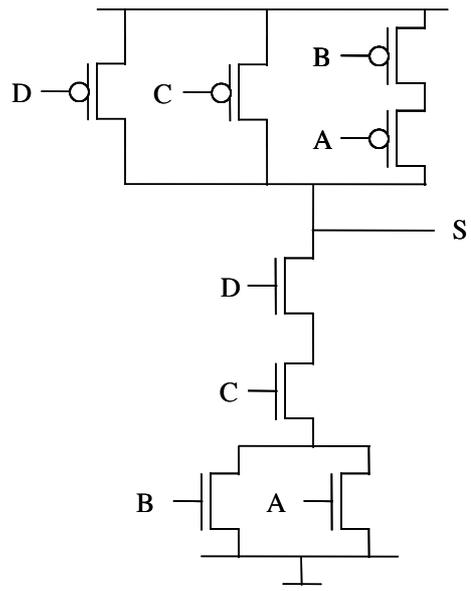


On considérera tous les transistors NMOS de taille identique ($2\lambda \times 6\lambda$), les PMOS de taille double et on posera leurs éléments parasites : R_n, R_p, C_{gn}, C_{gp} .

- (a) Concevez ce multiplexeur sous forme de porte complexe en CMOS complémentaire statique. Décrivez votre démarche et tracez le schéma au niveau des transistors.
- (b) Tracez le schéma au niveau des transistors d'une implantation à base de portes de transmission.
- (c) Donnez les temps de montée T_{plh} et de descente T_{phl} des deux versions (a) et (b) de portes, en fonction de $R_n, R_p, C_{gn}, C_{gp}, C_l$, lorsque celles-ci sont chargées par une capacité C_l équivalente à l'entrée d'un inverseur. Que vaut cette capacité C_l ?
- (d) Enumérez les avantages et inconvénients de l'implantation à base de portes de transmission par rapport à celle sous forme de porte complexe.
- (e) Donnez les valeurs des probabilités - $\text{Prob}(y=1)$ et $\text{Prob}(y=0)$ - et de l'activité α_y de la sortie en fonctions des probabilités des entrées : $P_{x_0} = \text{Prob}(x_0=1)$; P_{x_1} ; P_s
Que vaut cette activité lorsque $P_s = P_{x_0} = P_{x_1} = 1/2$?
- (f) Donnez la puissance moyenne consommée par la porte en CMOS statique (a) lorsque celle-ci est chargée par une capacité C_l équivalente à l'entrée d'un inverseur et que $P_s = P_{x_0} = P_{x_1} = 1/2$.

2. Analyse d'un circuit CMOS (~3 points)

Soit le circuit décrit dans la figure ci contre. On posera les éléments parasites des transistors NMOS et PMOS: R_n, R_p, C_{gn}, C_{gp} .



- (a) Donnez la fonction logique de ce circuit.
- (b) Rappelez comment varient ces éléments en fonction des tailles L et W des transistors.
- (c) Donnez les temps de montée T_{plh} et de descente T_{phl} en fonction de $R_n, R_p, C_{gn}, C_{gp}, C_l$, lorsque la cellule est chargée par une capacité C_l équivalente à l'entrée d'un inverseur.
- (d) Proposez, pour chaque transistor de la cellule, un rapport W/L permettant d'équilibrer les temps de montée et descente de la cellule globale pour un maximum de combinaison des entrées.
- (e) Quelles sont les combinaisons de transitions des entrées qui impliquent les temps de propagation (montée et descente) au pire cas ?

3. Etude d'un circuit synchrone (~3 points)

- (a) Donnez le chemin critique du circuit de la figure ci dessous en considérant que H1 et H2 ont leur front au même instant (temps des inverseurs nuls). Le calcul des temps de propagation doit tenir compte des sortances de chaque porte. Donnez dans ce cas la valeur de la fréquence maximale de fonctionnement.
- (b) En pratique les horloges H1 et H2 sont décalées. Que vaut le décalage sur les horloges (*skew*) dans notre cas ?
- (c) Tracez, en considérant le *skew* et les temps de propagation des portes et des bascules, le chronogramme de fonctionnement des signaux : H1, H2, Q0, D1, Q1, D2.
- (d) À partir du chronogramme précédent, déduire la fréquence maximale de fonctionnement du circuit en considèrent le *skew* entre H1 et H2 ?

Caractéristiques temporelles des portes en ns avec *CLD* la capacité de charge exprimée en pf

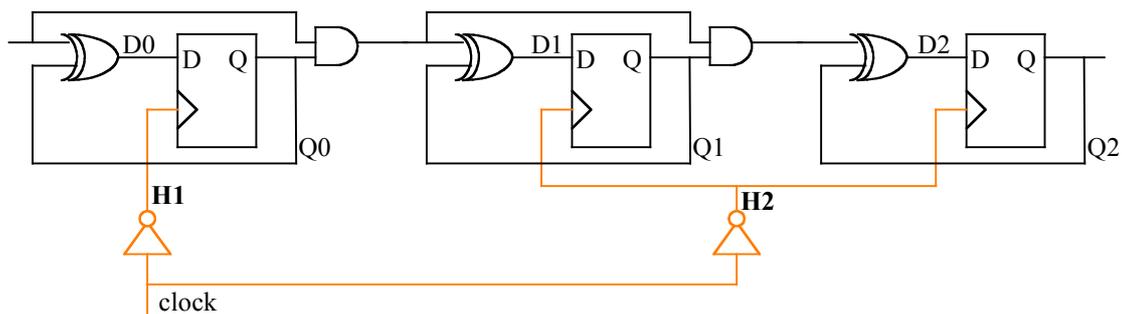
$$T_p(\text{And}) = 0,5 + 3 \cdot \text{CLD}$$

$$T_p(\text{Xor}) = 1 + 4 \cdot \text{CLD}$$

$$T_p(\text{Inv}) = 0,25 + 2 \cdot \text{CLD}$$

$$\text{Bascule D : } T_{\text{setup}} = 0,15 \text{ ns ; } T_{p_{D \rightarrow Q}} = 2,5 + 2 \cdot \text{CLD}$$

La capacité de charge équivalente de l'entrée d'une cellule vaut 0,05pF quelle que soit la cellule.



DS de conception de circuits intégrés

Deuxième partie : conception synchrone et VHDL

Tous les documents sont autorisés (1h)

1. Synthèse VHDL de circuit synchrone (4 points)

1. Donnez la spécification comportementale du circuit de la figure 1 (*entity/architecture*) en n'utilisant aucune instruction de type *port map*. Tous les fils sont des *std_logic* ; A et clk sont les entrées ; S est la sortie ; Q0 et Q1 sont des signaux intermédiaires.

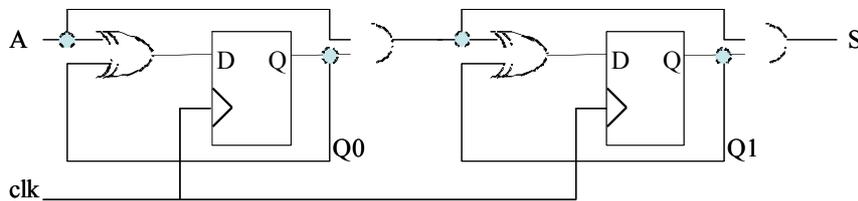


Figure 1 : circuit de l'exercice 1.1

2. Donnez le schéma au niveau porte (du style de celui de la figure 1) correspondant à la spécification VHDL du tableau 1 ci-dessous. Expliquez.

<pre> ENTITY ds05 IS PORT(Din,rstb,clk,A,B,C :IN Std_logic ; Dout,S :OUT Std_logic) ; END ds05 ; ARCHITECTURE super OF ds05 IS SIGNAL Q1,Q2 :Std_logic ; BEGIN One :PROCESS(rstb,clk) BEGIN IF rstb='0' THEN Q1 <= '0' ; ELSIF clk'event AND clk='1' THEN IF A='1' THEN Q1 <= Din ; ELSE Q2 <= Q1 AND B ; END IF ; END IF ; END PROCESS One; </pre>	<pre> Two :PROCESS(C,Q2) BEGIN IF C='1' THEN Dout <= Q2 ; END IF ; END PROCESS Two ; Three :PROCESS(Q1,Q2) BEGIN IF Q1='1' AND Q2='1' THEN S <= '1' ; ELSE S <= '0' ; END IF ; END PROCESS Three ; END super ; </pre>
--	---

Tableau 1 : spécification VHDL de l'exercice 1.2

2. Synthèse d'un multiplieur micro-programmé (6 points)

On souhaite réaliser la multiplication de deux nombres signés en complément-à-2 (Cà2) sur 4 bits par une méthode itérative. L'architecture (vue extérieure et composants) du circuit de multiplication est donnée en figure 2. R1, R2, R3 sont des registres 4 bits, H est une bascule, l'ALU effectue

addition ou soustraction en Cà2 en fonction d'un signal de commande. L'algorithme de calcul de la multiplication est donné dans le tableau 2 ci-dessous.

- | |
|---|
| <ul style="list-style-type: none"> - Initialiser R1=multiplicateur, R3=multiplicande, R2=0, H=0 - pour i=0 à 3 faire <ul style="list-style-type: none"> - si R1[0]=0 et H=0 alors ne rien faire - si R1[0]=0 et H=1 alors R2 <= R2 + R3 - si R1[0]=1 et H=0 alors R2 <= R2 - R3 - si R1[0]=1 et H=1 alors ne rien faire - décaler R1 et R2 d'un rang vers la droite, le bit de poids faible de R1 étant mémorisé dans H, le bit de poids faible de R2 étant entré sur le bit de poids fort de R1 - le résultat est dans R2 (MSB) et R1 (LSB) |
|---|

Tableau 2 : multiplication par suivant l'algorithme de Booth

- NB:
- le décalage de R2 est effectué en conservant le signe de R2
 - ne pas tenir compte des retenues des additions/soustractions
 - le calcul (initialisation puis calcul) est lancé lorsque le signal valid passe à '1'
 - un signal busy reste à '1' pendant la durée du calcul, puis passe à '0' dès que le résultat est prêt

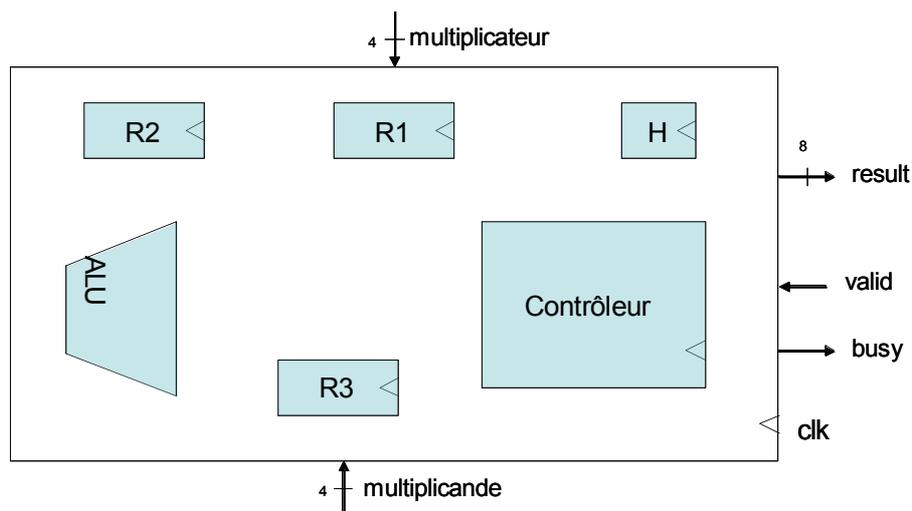


Figure 2 : vue extérieure et composants de l'architecture du multiplieur

1. On considérera tout au long de cet exercice l'exemple de la multiplication de 6 (multiplicande) par -4 (multiplicateur), le résultat devant bien sûr donner -26 ;-). Après avoir rappelé le codage en Cà2 sur 4 bits de ces deux nombres, ainsi que le résultat de la multiplication en Cà2 sur 8 bits, déroulez l'algorithme cycle par cycle en donnant le contenu des registres R1, R2, R3 et de la bascule H.
2. Pour chaque registre, indiquez les différents modes de fonctionnement (chargement, décalage, etc.) nécessaires à l'algorithme. En déduire les signaux de commandes et les entrées/sorties nécessaires à leur fonctionnement.
3. Donnez le processus VHDL permettant de spécifier le registre R2.
4. Le contrôleur s'appuiera sur un compteur de boucle 2 bits avec les E/S suivantes : remise à zéro synchrone, autorisation de comptage, sortie indiquant son passage par zéro. Après avoir précisé les entrées/sorties du contrôleur, donnez le diagramme d'état suivant le modèle de Moore de ce séquenceur.
5. Complétez le schéma de la figure 2 en dessinant l'architecture structurelle (connexions entre les composants et avec les entrées/sorties) du multiplieur.
6. Donnez la spécification VHDL (architecture) du contrôleur et de son compteur de boucle.